



Please Click here to view the drawing

 Korean FullDoc.

 English Fulltext

(19)



KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010102840 A

(43)Date of publication of application: 16.11.2001

(21)Application number: 1020010011105

(22)Date of filing: 05.03.2001

(30)Priority: 23.03.2000 JP2000
2000082939

(71)Applicant: INTERNATIONAL BUSINESS
MACHINES CORPORATION

(72)Inventor: SAKURAI TAKAAKI
WATANABE YOSHITERU
YOSHIKAWA HIROSHI

(51)Int. Cl. G09G 3/36

(54) VOLTAGE SUPPLY CIRCUIT AND DISPLAY DEVICE

(57) Abstract:

PURPOSE: A voltage supply circuit and a display device are provided to reduce power consumption and obtain the degree of freedom in designing a circuit. CONSTITUTION: A voltage supply circuit(13), which has a plurality of output terminals respectively outputting voltages supplied thereto at predetermined levels, comprising: transistors connected between the plurality of output terminals; and a plurality of differential amplifier circuits, each of which operates by receiving power inputted respectively thereto from a power source circuit and performs outputting based on a difference between two inputs, wherein the outputs from the differential amplifier circuits are inputted to the transistors, the outputs from the output terminals are inputted to first input terminals of the differential amplifier circuits, reference voltages are inputted to second input terminals of the differential amplifier circuits, conductance of the transistors is controlled by the outputs from the differential amplifier circuits, and output voltages of the output terminals are controlled by controlling the conductance of the transistors.

copyright KIPO & JPO 2002

Legal Status

Date of request for an examination (20010305)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20030423)

Patent registration number (1003843790000)

Date of registration (20030506)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

Date of extinction of right ()

공개특허 제2001-102840호(2001.11.16.) 1부.

특2001-0102840

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

Int. Cl.
G06F 3/06(11) 공개번호 특2001-0102840
(43) 공개일자 2001년11월16일

(21) 출원번호	10-2001-0011105
(22) 출원일자	2001년03월05일
(30) 우선권 주장	2000-082939 2000년03월23일 일본(JP) 2000-146376 2000년05월18일 일본(JP)
(41) 출원인	인터네셔널 비지네스 머신즈 코포레이션 모만 제프리 엘 미국 10504 뉴욕주 이몬크
(72) 발명자	사쿠라이다카야키 일본가나가와켄사가마하라시아이오이1-7-8408 와타나베요시테루 일본가나가와켄가와사키시아사쿠오젠지1923-15 요시카와히로시 일본가나가와켄사가마하라시히가시원켄4-39-3-417
(74) 대리인	김성택, 허정운
출원특허의 범위	
(54) 전압 공급 회로 및 디스플레이 장치	

요약

본 발명은 회로 전체의 소비 전력을 감소시키는 전압 공급 회로에 관한 것이다.

참조 부호(R1~Hn-1)는 TFT 소스 드라이버 내의 내부 저항을 나타낸다. 참조 부호(Q1~Qm)는 트랜지스터와 같은 능동 소자를 나타낸다. 능동 소자의 권력턴스는 출력 전압[Vout(1), Vout(2), ..., 및 Vout(m)]을 각각 제어하도록 변경된다. 개관 회로 및 인산 회로의 기능을 갖는 차동 증폭기(U1~Um)에 의하여 출력 전압[Vout(1)~Vout(m)]은 기준 전압 생성 회로로부터의 기준 전압(V1~Vm)과 비교된다. 그 다음, 각 트랜지스터는 각 출력 전압(Vout)과 각 기준 전압(V)이 동일 전압이 되도록 제어된다. 미리 결정된 필요로 하는 전압의 고저 관계중 갖는 복수 개의 출력 노드 사이에 능동 소자가 삽입된 구성이 채택되며, 능동 소자의 권력턴스는 제어된다. 그래서, 각 노드에 요구되는 기준 전압이 제공된다. 따라서, 회로 전체의 전력 소비를 줄일 수 있다.

도면

도1

발명자

발명자의 대리인

도 1은 제1 실시예에 따른 전압 공급 회로를 예시하는 개략적인 회로도.

도 2는 제2 실시예에 따른 전압 공급 회로를 예시하는 개략적인 회로도.

도 3은 액정 표시 장치 내의 전압 공급 회로의 구성을 예시하는 개략적인 도면.

<도면의 주요부분에 대한 부호의 설명>

- 11 : TFT 소스 드라이버
- 12 : 전압 공급 회로
- 13 : 기준 전압 설정 회로
- 21 : TFT 소스 드라이버
- 22 : 전압 공급 회로
- 23 : 기준 전압 설정 회로
- 31 : LCD 인터페이스 카드

- 32 : TFT 어레이 기판
- 33 : 소스 드라이버
- 34 : 게이트 드라이버
- 35 : LCD 셀러기
- 36 : 기판터
- 37 : 전원 공급 회로

표준화 방안의 설명

표준화 방안

액정화 기술은 기술분야 및 그 분야의 종래기술

본 발명을 위한 기술 회로 및 디스플레이 장치에 관련된 것으로서, 더 상세하게는 복수 개의 출력 단자 사이에 접속된 트랜지스터를 제어함으로써 출력 전압을 제어하는 전압 공급 회로 및 디스플레이 장치에 관한 것이다.

최근에 있어서, 액정 디스플레이(이하, 'LCD'로 칭함) 장치는 컴퓨터 및 텔레비전 셋트에 사용되는 중/대형 크기의 디스플레이로부터 차량 항법 시스템(car navigation system) 및 휴대 전화기의 디스플레이에 사용됨에 수함에 이르기까지 넓은 분야에 걸쳐 사용되어왔다. 이중에 박막 트랜지스터(TFT)와 같은 능동 소자를 사용하는 액티브 매트릭스 액정 디스플레이 장치 및 금속 내 금속(metal in metal : MIM) 액정은 디스플레이 특성의 우수성에 의해 관심이 집중되고 있다. 이러한 액티브 매트릭스 액정 디스플레이 장치는 일반적으로 매트릭스 형태로 배열된 능동 소자로서 TFT를 구비하는 TFT 어레이 기판 및 TFT 어레이 기판에 대항하는 대향 기판을 구비하며, 이 두 기판 사이에 액정이 밀봉되어있다.

각각 액정 디스플레이 장치에 있어서, 컬러 디스플레이를 실행하기 위한 컬러 필터는 통상적으로 대향 기판에 제공된다. 액정 디스플레이 장치는 복수 개의 부속 회소부로 구성되는 디스플레이 영역을 가지며, 각 부속 회소부는 회소 전극 및 TFT를 가진다. 전계는 회소 전극에 의해 액정에 인가되어, 광 투과율은 이미징 디스플레이가 실행되도록 변경된다. 각 부속 회소부는 R, G, B 중의 하나의 색상 디스플레이를 실행하며, 하나의 회소부는 세 개의 다른 부속 회소로 구성된다. 흑백 디스플레이(monochrome display)의 경우, 부속 회소부가 회소부와 동등하다는 것은 말할 필요도 없다.

각 부속 회소부는 드라이버 IC로부터 입력되는 신호 전압을 토대로 액정에 전계를 인가한다. 드라이버 IC는 통상적으로 데이터 자동 접속(이하, '1세'으로 칭함)에 의해 TFT에 접속된다. 그러나, 어떤 경우에는, TFT 어레이의 유리 기판 상에 드라이버 IC가 직접 제공될 수 있다. 통상적으로, 신호 선에 대한 복수개의 소스 드라이버 IC는 TFT 어레이 기판의 한 끝에 제공되며, 게이트 전압을 제어하는 게이트 선에 대한 복수 개의 게이트 드라이버 IC는 TFT 어레이 기판의 다른 한 끝에 제공된다. 소스 드라이버 IC로부터 입력되는 전압은 TFT의 소스/드레인을 통하여 액정에 전계를 인가한다. 이 전압을 변경함으로써, 액정에 인가되는 전계는 액정의 투과율을 제어하기 위해 변경될 수 있다.

소스 드라이버 IC로부터 TFT 어레이로 입력되는 입력 전압값은 외부 회로로부터의 제어 신호 및 기준 전압 공급 회로로부터의 기준 전압을 토대로 결정된다. 제어 신호와 액정의 후과물 사이의 관계를 정의하는 가능한 계조 곡선으로 설명된다. 소스 드라이버 IC에 있어서, 복수 개의 기준 전압 입력 단자가 제공된다. 그리고 이 단자에 비례적인 계조 곡선(階調 曲線: gray tone curve)을 실현하는 전압이 입력될 것이 요구된다. 드라이버 IC의 외부에서 보았을 때, 드라이버 IC 단자는 분압 회로의 저항 양단 및 중간 탭에 구성된다. 중간 탭은 양단 사이의 입/출력 단자부라는 것에 주목해야한다.

종래 기술에 있어서, 드라이버 IC에 비례적인 전압을 인가하기 위해, 병렬을 이루는 저항은 드라이버 IC의 내부 저항 접속되며, 비례적인 전압은 이 저항 양단에 인가된다. 접속된 저항의 저항값을 변경함으로써 전압의 분배율이 변경될 수 있으며, 그래서 비례적인 전압이 드라이버 IC의 양단 및 중간 탭에 인가될 수 있다. 그러나, 각 드라이버 IC의 내부 저항 값의 변화가 크므로 비록 미리 결정된 저항이 내부에 병렬로 접속되어 있을지라도 각 단자 전압의 변화를 작은 범위로 억제하는 것이 어려웠다. 게다가, 저항 값은 고정된 것으로 드라이버 IC의 내부 저항에 인가되는 전압의 변경 요구에 대처하기가 불가능했다.

전술한 문제를 해결하기 위한 방법으로서, 내부 저항의 전압 측, 중간 탭 사이의 전압을 고정하기 위해 능동 소자를 사용하는 방법이 제안되었다. 예컨대, 개개의 출력 장치는 각각의 양단 및 중간 탭을 위해 준비되었으나, 각각의 출력 장치의 출력은 전압 공급 회로의 각 출력으로서 각 양단 및 중간 탭에 접속되었다. 한편 장치의 경우, 출력 장치의 수는 필요한 출력의 수와 같으며, 각각 연산 증폭기로 구성된다. 출력 단자에 형성된 전류는 출력 단자를 구동하는 출력 장치의 양극성 전원으로 부터 공급된다. 한편, 출력 단자로부터 드라이버 IC의 외부로 끌어내져야 하는 전류는 출력 단자를 구동하는 출력 장치의 음극성 전원에 반한다. 특히, 출력 단자의 수의 증가는 전체 회로에 공급되어야 하는 전류의 증가를 초래한다.

일본 특허공보 제11-160673호에는 연산 증폭기 내에서 전력 소모를 줄일 목적으로 구성된 액정 구동용 전원 회로가 개시되어있다. 전원 회로는 복수 개의 연산 증폭기를 접속함으로써 구성된다. 각 연산 증폭기의 출력은 전원 회로의 각 출력에 된다. 각 연산 증폭기는 차동 증폭 회로 및 PMOS 트랜지스터로 구성되는 출력 회로로 형성된다. 전원으로부터의 바이어스 전류는 제1 연산 증폭기의 PMOS 트랜지스터의 소스로 입력되며, 제1 연산 증폭기의 출력으로서 드레인으로부터의 출력은 하류에 있는 연산 증폭기의 전원에 접속된다. 상류에 있는 연산 증폭기로부터의 출력은 차동 증폭 회로의 전원 단자 및 하류에 있는 연산 증폭기의 출력 회로(PMOS 트랜지스터)에 입력된다. 이러한 구성으로, 상류에서 연산 증폭기에 사용되는 전류는 하류에서 연산 증폭기용으로 사용할 수 있어서, 연산 증폭기의 전류 소비를 줄일 수 있다.

그러나, 상술한 종래의 회로는 액정 디스플레이 장치의 게조 곡선 설정회로에서와 같은 휘도 조정 기능을 실행하기 위한 외부로부터의 설정에 의한 출력 전압의 변경 요청에 유연히 대처할 수 없다. 더욱이, 각 기구 전압을 갖는 출력 증폭기는 하나의 연산 증폭기를 구성하므로, 출력 전압은 연산 증폭기의 정격 전압에 의해 제한된다. 그래서, 설계상의 유연성을 저해한다.

본 발명의 목적과 하는 기술적 과제

본 발명의 목적은 전제 회로의 전력 소비를 줄일 수 있는 전압 공급 회로 및 디스플레이 장치를 일컫는 것이다. 본 발명의 다른 목적은 출력 전압을 자동적으로 변경할 수 있는 전압 공급 회로 및 디스플레이 장치를 제공하는 것이다. 본 발명의 또 다른 목적은 전제 회로의 전력 소비를 줄일 수 있는 능력 및 설계의 자유도를 확보할 수 있는 전압 공급 회로 및 액정 디스플레이 장치를 제공하는 것이다. 상술한 목적 및 다른 목적은 후술되는 설명으로 나타나게 될 것이다.

본 발명에 따르면, 전압 공급 회로는 출력 단지의 임의 전류(sink current)를 소스 전류로서 다른 하나의 단지(노드)에 제시한다. 본 발명에 따르면, 전압 공급 회로는 복수 개의 출력 단지 사이에 삽입된 트랜지스터로 구성되며, 각각의 노드에 요구되는 기준 전압은 트랜지스터의 컨덕턴스를 제어함으로써 출력된다. 차동 증폭기 회로는 트랜지스터에 접속되며, 출력 단지로부터의 출력은 차동 증폭기 회로에 입력된다. 차동 증폭기 회로는 기준 전압과 출력 단지의 출력 사이의 차이를 토대로 트랜지스터의 컨덕턴스를 제어한다. 전압을 각 전압 회로로부터 차동 증폭기 회로에 입력되며, 트랜지스터로부터의 출력과 관계없이 제공된다.

각각의 차동 증폭기 회로는 바람직하게 하나의 연산 증폭기로 구성된다. 더욱이, 입력 단지로부터의 차동 증폭기 회로로의 입력은 부재한 회로로부터 입력된다. 출력 단지로부터의 입력은 차동 증폭기 회로에 직접 입력되거나, 서치를 통하여 입력될 수 있다. 차동 증폭기 회로에는 가변 전위 입력을 접속할 수 있다. 이 가변 전위 입력은 서치를 통해 차동 증폭기 회로에 접속된다. 각 차동 증폭기 회로에 입력되는 일부 기준 전압을 동일한 전압이 되도록 할 수 있다. 이 전압 공급 회로는 디스플레이 장치용 회로로서 이용될 수 있다. 특히, 디스플레이 장치의 게조 곡선을 설정하기 위한 전압 공급 회로로서 이용될 수 있다. 이 전압 공급 회로는 트랜지스터 IC의 기준 전압 입력 단지에 확보하는 게조 곡선을 실현하기 위해 충분한 전압을 입력한다. 가변 전위 입력은 휘도 조절 기능을 실현하기 위해서 이용될 수 있다. 더욱이, 동일한 전압의 기준 전압을 차동 증폭기 회로에 입력하기 위한 회로는 행 반전 표시나 열 반전 표시와 같은 것을 실행하기 위한 전압을 출력하기 위해서 사용될 수 있다.

본 발명의 구성 및 작용

도 1 실시예

도 1은 제1 실시예에 따른 TFT 소스 드라이버의 전압 공급 회로를 부분적으로 예시하는 개략적인 회로도이다. 이 전압 공급 회로는 TFT 소스 드라이버의 게조 곡선(미리 결정된 수치(신호)에 대한 투과율의 변화 관계)를 설정하는 함수(상정)를 기준 전압원으로 이용된다. 이 전압 공급 회로는 액정 표시 장치뿐만 아니라 액티브 매트릭스 폴리머 발광 다이오드(active matrix-polymer light emitting diode: AM-PLED) 또는 액티브 매트릭스-유기 발광 다이오드(active matrix-organic light emitting diode: AM-OLED) 및 이와 유사한 것을 사용하는 자발광형 디스플레이와 같은 다른 디스플레이 장치에도 사용될 수 있다.

도 1은 액정 표시 장치에 있어서의 전압 공급 회로의 기능을 설명하는 기능도이다. 도면은 액정 표시 장치에 있어서의 전압 공급 회로의 기능을 설명하기 위해서 도시한 것이며, 실제의 액정 디스플레이 장치의 구성을 반영하지는 못한다. 도면에 있어서, 참조 부호(31)는 LCD 인터페이스 카드, 참조 부호(32)는 액티브 매트릭스 TFT 매트릭스 형태로 배치된 TFT 어레이 기판을 나타낸다. 참조 부호(33)는 TFT 어레이의 소스 전극에 전압을 제공하는 소스 드라이버, 참조 부호(34)는 TFT 어레이의 게이트 전극의 전압을 제어하는 TFT 게이트 드라이버를 나타낸다. 참조 부호(35)는 드라이버(33, 34)를 제어하기 위한 LCD 제어기, 참조 부호(36)는 전압, 참조 부호(37)는 전압 공급 회로를 나타낸다. LCD 인터페이스 카드(31)는 LCD 제어기(35)와 전압 공급 회로(37)를 구비한다.

전술한 것 외에, 액정 표시 장치(LCD)는, TFT 어레이 기판에 대항하는 대항 기판을 구비한다(도시하지 않음). 원래 LCD 장치에 있어서는, 통상적으로, 대항 기판에 컬러 필터가 설치된다. LCD는 매트릭스 형태로 배치된 복수 개의 부속 화소부로 구성되는 표시 영역을 가지며, 각 부속 화소부는 TFT, 화소 전극, 컬러 필터 및 액정을 구비하고 있다. 두 개의 기판 상에 설치된 화소 전극 사이에 형성된 전계는 액정의 광 투과율을 제어하여, 이미지 디스플레이를 수행한다. 하나의 화소부는 세 개의 R, G, B 부속 화소부로 구성된다. 흑색 디스플레이의 경우, 부속 화소부와 화소부가 동일한 것은 말할 필요도 없다.

화소 전극에 인가되는 전압은 드라이버(33, 34)로부터 입력되는 전압에 의해서 제어된다. 이 드라이버(33, 34)는 외부 회로로부터 입력되는 신호에 의해서 제어된다. TFT 소스 드라이버(33)는 복수 개의 드라이버 IC로 구성된다. 이 드라이버 IC는 통상적으로 테입 자동 접착(TAB)에 의해서 TFT 어레이 기판(32) 및 LCD 인터페이스 카드(31)에 접속되지만, TFT 어레이 기판(32)의 유리 기판 상에 직접 설치되는 경우도 있다. 통상적으로, 신호전송의 복수 개의 소스 드라이버 IC가 TFT 어레이 기판의 한 끝쪽에 설치되고, 게이트 전압을 제어하는 게이트전송의 복수 개의 게이트 드라이버 IC가 TFT 어레이 기판의 다른 끝쪽에 설치된다. 소스 드라이버 IC로부터 입력되는 전압은 TFT의 소스/드레인 및 화소 전극을 통해 액정에 전계를 인가한다. 이 인가된 전계는 액정 전압을 변경함으로써 변화시킬 수 있고, 그래서, 액정의 투과율을 제어한다.

소스 드라이버 IC로부터 TFT 어레이 기판으로의 입력 전압값은 LCD 제어기(35)로부터의 신호 및 전압 공급 회로(37)로부터의 기준 전압을 토대로 결정된다. 각 소스 드라이버 IC에는 복수 개의 기준 전압 입력 단지가 설치되어 있다. 이들 단지에 전압 공급 회로(37)로부터 바라는 게조 곡선을 실현하는 전압을 인가한다. 이들 기준 전압 입력 단지를 통해서 보았을 때, 이들 단지는 단지와 중간 입력 단지로서의 중간 탭 사이에 서치가 연속된 분할 회로의 일단을 구성하고 있다. 도 1의 참조 부호(11)는 TFT 소스 드라이버(33)를 예시하는 개념적인 회로도이며, 복수 개의 저항이 직렬로 접속되어 있다. 각각의 저항 사이에 중간

법이 완성된다. 실제의 액정 표시 장치에 있어서, 복수 개의 드라이버 IC 각각에 전압 공급 회로로부터의 전압이 접속되어 있다. 예컨대, 전압 공급 회로(37)는 16 개의 출력 단자를 가지며, 각 출력 단자는 공통 배선을 통해 각 드라이버 IC 에 병렬로 입력되어 있다.

다음은 참조하여, 전압 공급 회로를 구체적으로 설명한다. 참조 부호(11)는 TFT 소스 드라이버, 참조 부호(12)는 전압 공급 회로, 참조 부호(13)는 기준 전압 설정 회로이다. 참조부호(R1~Rm-1)는 TFT 소스 드라이버 내부 저항을 나타낸다. 참조부호(Q1~Qm)는 액티브 소자로서의 트랜지스터이다. 본 실시예에 있어서, 트랜지스터는 바이폴러 트랜지스터가 사용된다.

본 실시예는 MOSFET 등과 같은 다른 타입의 트랜지스터를 사용할 수도 있다. 참조부호(U1~Um)는 연산 회로로서 연결된 있는 차동 증폭기 회로를 나타낸다. 본 실시예에 있어서, 하나의 차동 증폭기 회로는 하나의 연산 증폭기로 구성된다. 전압 공급 회로(12)는 기준 전압 설정 회로(13), 차동 증폭기 회로(U1~Um) 및 트랜지스터(U1~Qm)를 포함하고 있다. 차동 증폭기 회로(U1~Um)는 각각, 반전 입력 단자(5), 비반전 입력 단자(6), 출력 단자(4) 및 전원 단자(7, 8)를 구비한다.

전단의 바이폴러 트랜지스터「Q(n)」의 콜렉터는 하단의 바이폴러 트랜지스터「Q(n+1)」의 이미터에 접속되어 있다. 각 트랜지스터「Q(n)」의 이미터와 콜렉터는 전압 공급 회로의 출력 전압[Vout(n-1)], Vout(n)]에 접속되어 있다. 전압은 최상단에 있는 트랜지스터「Q(1)」의 이미터에 입력되고, 최상단에 있는 트랜지스터「Q(1)」의 콜렉터만이 전압 공급 회로의 출력 [Vout(1)]에 접속된다. 트랜지스터「Q(n)」의 콜렉터로부터의 출력은 증폭기(U(n))의 비반전 입력 단자(6)에 입력된다. 이런 방법으로 부하 회로는 구성된다.

참조하면, 전압 공급 회로의 출력 전압[Vout(n)]은 증폭기(U(n))의 비반전 입력 단자(6)에 입력된다. 이미터로 전지한 트랜지스터는 출력을 역위상으로 변전시키므로, 증폭기(U)의 입력은 역위상으로 입력된다. 2 개의 입력 사이의 차를 증폭하여 출력하는 증폭기(U(n))의 다른 하나의 입력 단자(5)에는 기준 전압 설정 회로(13)로부터의 기준 전압[V(n)]이 입력된다. 증폭기(U)의 각 전압은 트랜지스터로부터가 아니라, 회로 전체의 플러스 및 마이너스 전원으로부터 공급된다. 이 전압은 1:1 컨버터(16)로부터 공급된다. 증폭기(U(n))의 출력은 트랜지스터「Q(n)」의 베이스에 입력된다. 이상 동작시에 베이스 전류 제한 또는 그 밖의 동작으로, 저항을 통해 입력이 실행되는 경우도 있다.

본 실시예의 전압 공급 회로(12)는 트랜지스터(Q)의 건덕턴스를 변화시킴으로써, 출력 전압[Vout(1)], 출력 전압[Vout(2)],... 및 출력 전압[Vout(m)]을 각각 제어한다. 출력 전압[Vout(n)]은 증폭기(U(n)) 및 트랜지스터「Q(n)」를 갖는 n 단(segment)의 회로에 의해서 제어된다. 소스 드라이버의 내부 저항[R(n)]의 일단에는 출력 전압[Vout(n)] 및 출력 전압[Vout(n+1)]을 위한 노드로부터의 배선이 접속되어, 저항[R(n)]에는 전압[Vout(n)-Vout(n+1)]의 전압이 인가된다. 출력 전압[Vout(1)~Vout(m)]은 출력 전압을 증폭기(U)의 비반전 입력 단자(6)에 출력 전압을 되돌려주는 귀환 회로 및 소스 드라이버(11)에 출력된다.

차동 증폭기(U(1)~U(m))는 기준 전압 설정 회로(13)로부터 인가되는 기준 전압(V1~Vm)과 귀환 회로를 통해 입력되는 출력 전압[Vout(1)~Vout(m)]을 비교한다. 차동 증폭기(U(1)~U(m))는 출력 단자(4)로부터의 출력으로 각 트랜지스터「Q(1)~Q(m)」를 제어하여, 기준 전압(V1~Vm)과 대응하는 출력 전압[Vout(1)~Vout(m)]을 각각 같은 전위를 가질 수 있다. 개별적으로는, 차동 증폭기(U(n))는 기준 전압 설정 회로(13)로부터 인가되는 기준 전압[V(n)]과 출력 전압[Vout(n)]을 비교한다. 그 다음 차동 증폭기(U(n))는 기준 전압[V(n)] 및 출력 전압[Vout(n)]이 같은 전위가 되도록 출력 단자(4)로부터의 출력으로 트랜지스터「Q(n)」의 건덕턴스를 제어한다.

각 단의 트랜지스터「Q(n)」 및 소스 드라이버(11)의 내부 저항[R(n-1)]에 흐르는 전류의 동일한 합계를 갖는다. 전류의 합계는 V(m)-(-V) 및 Rref 로 결정된다. 구체적으로는, 각 단의 총 전류는 [V(m)-(-V)/Rref]가 된다. 여기서, Rref 는 최상단에 있는 트랜지스터「Q(m)」의 출력 및 음극성 전원 단자에 접속된 저항이다. 상기 전류의 합은 소스 드라이버(11)의 내부 저항의 각 단에 흘러야 하는 가장 큰 전류값 이상인 전류값으로 설정해 둘 필요가 있다.

구체적 동작에 관해서 이하에 설명한다. 출력 전압[Vout(n)]이 기준 전압(Vn)보다 높아진 경우, 차동 증폭기(U(n))의 출력 전압은 상승한다. 따라서, 트랜지스터「Q(n)」의 베이스 전류는 감소되고, 결과적으로 트랜지스터「Q(n)」의 콜렉터 전류는 감소된다. 각 단에 위치한 트랜지스터「Q(n)」 및 부하 저항[R(n-1)]에 흐르는 전류의 합계는 기준 전압[V(n)] 및 저항[Rref]의 저항값으로 결정되는 일정한 값[V(n)/Rref]으로 유지되므로, 트랜지스터「Q(n)」의 콜렉터 전류가 감소한 만큼 부하 저항[R(n-1)]에 흐르는 전류는 증가한다. 저항[R(n-1)]에 흐르는 전류가 증가함으로써, 저항[R(n-1)] 양단의 전압은 증가한다. 출력 전압[Vout(n-1)]의 노드는 그 상태에 위치한 회로에 의해서 정전압으로 유지되므로, 출력 전압[Vout(n)]은 낮아지게 된다.

위와 반대로 출력 전압[Vout(n)]이 기준 전압(Vn)보다도 낮게 된 경우, 차동 증폭기(U(n))의 출력 전압은 낮아진다. 따라서, 트랜지스터「Q(n)」의 베이스 전류는 증가하게 되고, 그 결과, 트랜지스터「Q(n)」의 콜렉터 전류도 증가하게 된다. 각 단에 위치한 트랜지스터「Q(n)」 및 부하 저항[R(n-1)]에 흐르는 전류의 합은 일정한 값을 유지하고 있으므로, 트랜지스터「Q(n)」의 콜렉터 전류가 증가하는 만큼, 저항[R(n-1)]에 흐르는 전류는 감소한다. 결과, 저항[R(n-1)]의 양단 전압은 감소한다. 출력 전압[Vout(n-1)]을 위한 노드는 상단에 위치한 회로에 의해서 정전압으로 유지되기 때문에, 출력 전압[Vout(n)]은 상승하게 된다. 그러므로, 출력 전압[Vout(n)]은 목표 전압인 기준 전압(Vn)으로 일정하게 유지된다.

전술한 동작으로부터 이해할 수 있는 바와 같이, 출력 노드[Vout(n)]의 전압을 상승시키기 위해서는 출력 노드로부터 소스 드라이버로의 출력 전류[Iout(n)]를 증가시키는 것이 요구된다. 한편, 출력 노드[Vout(n)]의 전압을 강하시키기 위해서는 출력 노드로부터 소스 드라이버로의 출력 전류[Iout(n)]를 감소시키거나, 또는 소스 드라이버로부터 출력 노드로 출력 전류[Iout(n)]를 인입하는 것이 필요하다. 여기서, 전압 공급 회로의 내부로부터 출력 노드로 출력되는 전류를 소스 전류, 소스 드라이버로부터 출력 노드로 입력되는 전류를 인입 전류라고 칭한다. 출력 전류[Iout(n)]가 정·부의 부호를 갖는 경우, 출력 노드에 인입하는 전류는, 음극성 출력 전류를 주축해야 한다.

통상적으로, 각각의 출력 노드에 증폭기가 직접 접속된 구성에 있어서, 모든 소스 전류는 양극성 전원으로 부터 각 증폭기로 공급되고, 모든 인입 전류는 각 증폭기의 음극성 전원으로 반환된다. 한편, 본 발명의

방법에 있어서, 출력 전압[Vout(n)]의 노드로의 소스 전류로서 출력 전압[Vout(2)]의 노드로부터 출력 전압[Vout(n-1)]의 노드로의 입력 전류가 사용될 수 있다. 반대로, 출력 전압[Vout(n)]의 노드로의 입력 전류는 출력 전압[Vout(n+1)]의 노드로부터 출력 전압[Vout(m-1)]의 노드로의 소스 전류로서 사용될 수 있다. 그러, 각각의 전압 출력 단자에 대하여 개별적인 전원 회로를 사용하는 대신에, 트랜지스터 등의 제 1 수직으로 연결되는 출력 단자 사이에 배치하는 회로 구성을 채택한다. 이러한 회로의 구성으로, 어떤 출력 단자에서의 입력 전류를 얻었던 단자의 전위 보다 낮은 전위를 갖는 출력 단자에 소스 전류로서 사용될 수 있다. 그래서, 회로 전체의 소비 전력을 줄일 수 있다.

본 실시예에 있어서, 차동 증폭단을 위한 전력이 회로 전체의 양극성 및 음극성 전원으로부터 공급되는 구성에 채택된다. 따라서, 많은 회로를 탑재한 여러 가지 IC로 차동 증폭단을 구성할 수 있다. 관련된 차동 증폭단의 전원으로서 다른 차동 증폭단에 위치한 출력 단자의 전압을 이용하는 경우, 차동 증폭단의 전원 상압의 범위를 좁히게 되고 차동 증폭단으로의 입력 전압 범위도 좁아진다. 그러나, 본 실시예의 전압 공급 회로에 있어서, 차동 증폭단의 전원은 출력 단자가 전력을 차동 증폭기에 공급할 수 있도록 제공되므로, 차동 증폭기[U(n)]로의 입력이 출력 전압[Vout(n)]과 출력 전압[Vout(n+1)] 사이에 들어가지 않는 경우에도 대응할 수 있다. 그래서, 회로 설계의 자유도를 확보할 수 있다.

본 실시예에 있어서, 각 출력단은 바이폴라 트랜지스터를 사용한 이미터 접지 증폭 회로로 구성되는 것으로 구성하는 것이라고 생각된다. 구체적으로는, 트랜지스터의 콜렉터는 다른 전압 출력 단자에 접속하며, 이미터는 출력 단자로 설정한다. 그 결과로서, 순방향 베이스-이미터 전압에 의한 목표 전압보다 더 높은 전압이 저항 분할 회로 등에 의해 이터에 베이스에 인가된다. 이러한 구성에서, 충분히 증폭율이 높은 트랜지스터를 사용하면, 이터 전압은 순방향 베이스-이미터 전압에 의한 베이스 전압보다 낮은 전압을 출력한다. 전압 분할로서 작용한다. 그래서, 트랜지스터는 도 1에 도시한 구성의 연산 증폭기 및 트랜지스터의 조합과 제한할 수 있다.

트랜지스터 소스로 차동 증폭 기능 및 귀환 기능을 수행하도록 출력단을 이터 풀로이(소스 풀로이) 형태로 구성하는 것이라고 생각된다. 구체적으로는, 트랜지스터의 콜렉터는 다른 전압 출력 단자에 접속하며, 이터는 출력 단자로 설정한다. 그 결과로서, 순방향 베이스-이미터 전압에 의한 목표 전압보다 더 높은 전압이 저항 분할 회로 등에 의해 이터에 베이스에 인가된다. 이러한 구성에서, 충분히 증폭율이 높은 트랜지스터를 사용하면, 이터 전압은 순방향 베이스-이미터 전압에 의한 베이스 전압보다 낮은 전압을 출력한다. 전압 분할로서 작용한다. 그래서, 트랜지스터는 도 1에 도시한 구성의 연산 증폭기 및 트랜지스터의 조합과 제한할 수 있다.

제2 실시예

도 2는 본 발명의 제2 실시예에 따르는 TFT 소스 드라이버를 위한 기준 전압 공급 회로를 예시하는 개략적인 회로도이다. 도 2의 기준 전압 공급 회로는 양극성, 음극성의 신호를 출력하기 위해서, 상·하 대칭적으로 구성되어 있는 저항 분할 회로가 내장되어 있는 소스 드라이버를 위한 것이다. 여덟 개의 드라이버의 기준 전압 입력 단자는 상부 기록을 위한 전압용으로 네 개, 하부 기록을 위한 전압용으로 네 개씩 제공된다.

도면에 있어서, 전수 부호(21)는 TFT 소스 드라이버, 참조 부호(22)는 전압 공급 회로부, 참조 부호(23)은 전압 공급 회로(22) 내의 기준 전압 설정 회로이다. 기준 전압 설정 회로(23)는 전원 및 직렬로 접속된 목표 전압 저항을 구비한다. 저항 사이에 출력 노드를 설치함으로써, 미리 설정된 기준 전압은 증폭기에 인가된다. 참조 부호(11)가 붙여져 있는 것은 저항이다. TFT 소스 드라이버(21)에 있어서, 참조 부호(R(101)~R(103))는 양극성 신호를 출력하기 위한 양극성 저항 분할 회로를 구성하는 저항을 나타내며, 참조 부호(R(104)~R(106))는 음극성의 신호를 출력하기 위한 음극성 저항 분할 회로를 구성하는 저항을 나타낸다. 전원 공급 회로부(22)에 있어서, 참조 부호(Q(101)~Q(104))는 양극성 저항 분할 회로의 출력 노드 사이에서 접속된 트랜지스터이다. 참조 부호(Q(105)~Q(108))는 음극성 저항 분할 회로의 출력 노드 사이에 접속된 트랜지스터이다. 본 실시예에 있어서는, 바이폴라 트랜지스터를 사용한다. 참조 부호(Q(104)과 Q(105))는 콜렉터 접지 회로로서 구성하며, 그 밖의 트랜지스터는 이터 접지 회로를 구성한다.

참조 부호(Vout(101)~Vout(108))는 전압 공급 회로(22)의 출력 노드로부터 출력되는 전압이며, 참조 부호(U(101)~U(108))는 각각 하나의 연산 증폭기를 구성하는 각각의 트랜지스터 「Q(101)~Q(108)」의 콜렉터에 접속하는 차동 증폭기를 나타낸다. 차동 증폭기 「U(n)」의 출력은 트랜지스터 「Q(n)」의 베이스에 입력된다. 전압 공급 회로의 출력 「Vout(n)」이 저항을 통과하거나 또는 직접 차동 증폭기 「U(n)」의 입력 단자에 입력된다. 이러한 방법으로, 부하된 회로가 구성된다. 차동 증폭기 「U(n)」의 또 하나의 입력 단자에는 기준 전압 설정 회로(23)로부터 기준 전압이 입력된다. 각 차동 증폭기 「U(106)와 (U(107)」의 하나의 입력 단자에는 외부로부터의 제어 전압 입력(CONTROL)을 위한 단자가 저항을 통해 접속되어 있다. 차동 증폭기 「U(106)와 (U(107)」의 양극성 입력은 저항을 통하여 출력 노드에 접속되어 있다. 각 증폭기 (U)의 신호를 트랜지스터로부터의 출력이 아니라, 회로 전체의 양극성 전원(+V) 및 음극성 전원(-V)으로부터 공급된다. 차동 증폭기 「U(n)」의 출력은 트랜지스터 「Q(n)」의 베이스에 입력된다. 저항을 통해 증폭기 「U(n)」의 출력을 트랜지스터 「Q(n)」의 베이스에 입력하는 경우도 있다.

각 단의 회로 구성을 이하에 설명한다. 단(101)의 회로는 차동 증폭기 「U(101)」, 트랜지스터 「Q(101)」, 저항 「R(113)」, 「R(114)」를 구비하고 있다. 저항 「R(113)」, 및 저항 「R(114)」의 저항값은 동일하다. 트랜지스터 「Q(101)」의 콜렉터는 출력 전압 「Vout(101)」의 노드에 직접 접속된다. 그리고, 트랜지스터 「Q(101)」의 콜렉터 출력은 저항 「R(114)」을 통해 차동 증폭기 「U(101)」의 비반전 입력 단자(6)에 입력된다. 외부에 발하면, 출력 전압 「Vout(101)」은 저항 「R(114)」을 통해 차동 증폭기 「U(101)」의 비반전 입력 단자(6)에 입력된다. 차동 증폭기 「U(101)」의 비전 입력 단자(5)에는 기준 전압 설정 회로부(23)로부터 전압(V100)이 입력된다. 저항 「R(113)」의 한쪽 끝에는 비반전 입력 단자(6) 및 저항 「R(114)」의 한쪽 끝에 접속된다. 저항 「R(113)」의 또다른 끝에는 출력 전압 「Vout(108)」의 노드가 직접 접속되며, 저항 「R(114)」의 또다른 끝에는 출력 전압 「Vout(101)」의 노드가 직접 접속된다. 트랜지스터 「Q(101)」의 콜렉터와 트랜지스터 「Q(102)」의 이터는 직접 접속된다.

단(102) 및 단(103)의 회로는 단(101)의 회로와 유사한 구성을 하고 있으므로 설명을 생략한다. 또한, 단

(104)의 회로는 단(101)의 화로와 트랜지스터의 접속이 다를 뿐이다. 단(101~104)에 있어서, 증폭기로의 기준 입력 전압은 V_{100} 이며, 단(101~104)에서 모두 동일하다. 단(104)의 트랜지스터 $Q(104)$ 는 콜렉터 접지이며, 트랜지스터 $Q(104)$ 의 이미터 전압은 저항 $R(120)$ 을 통해 차동 증폭기 $U(104)$ 의 반전 입력 단자(5)에 입력된다. 명확하게는, 단(104)의 출력 전압 $V_{out}(104)$ 은 저항 $R(120)$ 을 통해 차동 증폭기 $U(104)$ 의 반전 입력 단자(5)에 입력된다. 각 저항의 저항값은, $R(113)=R(114)$, $R(115)=R(116)$, $R(117)=R(118)$, $R(119)=R(120)$ 이다.

단(105)은 차동 증폭기 $U(105)$, 및 트랜지스터 $Q(105)$ 를 구비한다. 트랜지스터 $Q(105)$ 의 이미터는 출력 전압 $V_{out}(105)$ 의 노드 및 차동 증폭기 $U(105)$ 의 반전 입력 단자(5)에 직접 접속된다. 차동 증폭기 $U(105)$ 의 비반전 입력 단자(6)는 기준 전압 설정 회로(23)로부터 전압 V_{105} 가 입력된다. 단(106)은 차동 증폭기 $U(106)$, 트랜지스터 $Q(106)$, 및 저항 $R(122)$, $R(123)$ 을 구비한다. 트랜지스터 $Q(106)$ 의 콜렉터는 출력 전압 $V_{out}(106)$ 의 노드에 직접 접속된다. 트랜지스터 $Q(106)$ 의 콜렉터와 차동 증폭기 $U(106)$ 의 비반전 입력 단자(6)는 서로 저항 $R(122)$ 을 통해 접속된다. 차동 증폭기 $U(106)$ 의 반전 입력 단자(5)에는 저항 $R(123)$ 을 통해 외부로부터의 제어 전압 입력(CONTROL)을 위한 단자가 접속된다. 차동 증폭기 $U(106)$ 의 반전 입력 단자(6)에는 기준 전압 설정 회로(23)로부터 전압 V_{106} 이 입력된다.

차동 증폭기 $U(106)$ 의 비반전 입력 단자(6)는 저항 $R(123)$ 을 통해 제어 전압 입력(CONTROL)을 위한 단자에 접속된다. 그러므로, 단(106)의 회로는 출력 전압 $V_{out}(106)$ 을 제어 전압 입력의 함수로 바꾸기 위한 암상기로서 구성된다. 명확하게는, 출력 전압 $V_{out}(106)$ 은 제어 전압 입력(CONTROL) 및 기준 전압 V_{106} 의 함수로서 결정된다. 외부 제어 전압 입력(CONTROL)은 휘도 조정 기능과 같이 게조 곡선을 변화시킬 수 있는 용도로 사용될 수 있다. 단(107)은 단(106)과 유사한 구성을 가지므로 설명을 생략한다. 단(108)은 차동 증폭기 $U(108)$, 및 트랜지스터 $Q(108)$ 를 구비한다. 트랜지스터 $Q(108)$ 의 콜렉터는 차동 증폭기 $U(108)$ 의 비반전 입력 단자(6)에 직접 접속된다. 출력 전압 $V_{out}(108)$ 의 노드는 차동 증폭기 $U(108)$ 의 비반전 입력 단자에 직접 접속된다. 반전 입력 단자에는 기준 전압 설정 회로(23)로부터의 기준 전압 V_{108} 이 입력된다.

출력 전압 $V_{out}(101)$, 노드와 출력 전압 $V_{out}(108)$ 노드는 서로 저항 $R(113)$, $R(114)$ 을 통해 접속된다. 출력 전압 $V_{out}(102)$, 노드와 출력 전압 $V_{out}(107)$ 노드는 저항 $R(116)$, $R(115)$ 을 통해 접속된다. 출력 전압 $V_{out}(103)$, 노드와 출력 전압 $V_{out}(106)$ 노드는 저항 $R(118)$, $R(117)$ 을 통해 접속된다. 출력 전압 $V_{out}(104)$, 노드와 출력 전압 $V_{out}(105)$ 노드는 저항 $R(120)$, $R(119)$ 을 통해 접속된다. 저항 분배 회로의 상부 반의 최저 출력 전압 노드와 저항 분배 회로의 하부 반의 최고 출력 전압 $V_{out}(105)$ 노드 사이에는 선형성을 결정하는 저항 R_{center} 이 삽입되어 있다.

출력 전압 $V_{out}(105)$ 은 차동 증폭기 $U(105)$ 및 트랜지스터 $Q(105)$ 로 구성되는 전압 풀로버 회로에서 생성된다. 출력 전압 $V_{out}(108)$ 은 차동 증폭기 $U(108)$ 및 트랜지스터 $Q(108)$ 로 구성되는 전압 풀로버 회로에서 생성된다. 목표 전압은 각각 V_{105} 및 V_{108} 이며, 이 목표 전압은 저항 $R(107) \sim R(112)$, 및 구성되는 분압 회로에서 결정된다. 출력 전압 $V_{out}(106)$ 은 차동 증폭기 $U(106)$ 및 트랜지스터 $Q(106)$ 를 구비한 회로에서 생성되고, 출력 전압 $V_{out}(107)$ 은 차동 증폭기 $U(107)$ 및 트랜지스터 $Q(107)$ 를 구비한 회로에서 생성된다. 출력 전압 $V_{out}(106)$ 은 고정 기준 전압 V_{106} 과 외부로부터의 제어 전압 입력(CONTROL) 사이의 선형 함수를 얻는다. 출력 전압 $V_{out}(107)$ 은 고정 기준 전압 V_{107} 과 외부로부터의 제어 전압 입력(CONTROL) 사이의 선형 함수를 얻는다. 출력 전압 $V_{out}(101) \sim V_{out}(104)$ 에 있어서, 대응하는 저항 사이의 관계는, $R(113)=R(114)$, $R(115)=R(116)$, $R(117)=R(118)$, $R(119)=R(120)$ 이다. 따라서, 출력 전압 $V_{out}(101)$, $V_{out}(102)$, $V_{out}(103)$, $V_{out}(104)$ 은 기준 전압 V_{100} 을 중심으로 각각 출력 전압 $V_{out}(108)$, $V_{out}(107)$, $V_{out}(106)$, $V_{out}(105)$ 에 대칭적인 전압을 얻는다. 즉, 단(101~104)의 회로는 기준 전압 V_{100} 을 중심으로 전압 반전 회로를 구성한다.

본 실시예의 전압 공급 회로(22)는 트랜지스터 $Q(101) \sim Q(108)$ 의 컨덕턴스를 변화시킴으로써 각각의 출력 전압 $V_{out}(101) \sim V_{out}(108)$ 을 제어한다. 각 차동 증폭기는 두 개의 입력 차이를 토대로 출력 전압을 출력하며, 각 트랜지스터의 컨덕턴스를 제어한다. 또한, 각 단의 출력 장치를 구성하는 트랜지스터의 컨덕턴스를 제어함으로써, 출력 전압 V_{out} 을 제어하는 동작은 제1 실시예에서 설명하였으므로 상세한 설명은 생략한다.

본 발명의 방법에 있어서, 출력 전압 $V_{out}(n)$, 노드로의 소스 전류로서 그단의 바로 윗단에 위치한 노드로의 인입 전류를 사용할 수 있다. 반대로, 출력 전압 $V_{out}(n)$, 노드로의 인입 전류는 그 단의 바로 이랫단에 위치한 노드로의 소스 전류로서 사용할 수 있다. 명확하게는, 각각의 전압 출력 단자에 대한 개별적인 전압 회로를 사용하는 대신에, 트랜지스터 등과 같은 제어 소자를 인접하는 출력 단자 사이에 배치하는 회로 구성이 채택된다. 이러한 회로 구성으로 어떤 출력 단자에서의 인입 전류는 그 단자의 전위보다 낮은 전위의 출력 단자에 소스 전류로서 사용할 수 있다. 그러므로, 회로 전체의 소비 전력을 줄일 수 있다. 이러한 차동 증폭단의 전원으로 다른 차동 증폭단의 출력 단자의 전압을 사용할 때는, 차동 증폭단으로서의 입력 전압 범위를 좁히기 위해 차동 증폭단의 전압 전압 범위는 좁혀진다. 예컨대, 본 실시예에서 위 같이, 전압 반전 회로는 동일한 전압을 기준으로 하는 복수 개의 출력 전압으로 구성될 수 있다. 그러나, 본 실시예의 전압 공급 회로에 있어서, 출력 단자는 차동 증폭기에 전력을 공급할 수 있도록 제공되므로, 본 실시예의 전압 반전 회로를 구성하는 것이 가능해진다. 더욱이, 외부 제어 전압 입력(CONTROL)이 어떤 단의 회로에 입력되는 경우도 전압 공급 회로는, 입력 전압의 필요에 변화에 대응할 수 있다.

본 발명에 사용된 트랜지스터는 바이폴러 트랜지스터에 한정되지 않는다. FET 등과 같은 다른 타입의 트랜지스터도 사용할 수 있다. 증폭기는 하나의 연산 증폭기로서 구성하는 것뿐만 아니라, 복수 개의 개별적인 회로 소자를 사용하여 구성할 수 있다. 전술한 설명은 각 트랜지스터의 베이스 전류가 각 트랜지스터의 콜렉터 전류 및 이미터 전류에 비교하여 충분히 작기 때문에, 각 트랜지스터의 이미터 전류는 각 트랜지스터의 콜렉터 전류와 동일하다는 가정하에서 이루어졌다.

마지막 본 발명의 바람직한 실시예를 상세하게 설명하였지만, 여러 가지 변경, 치환, 선택이 첨부된 청구항에 의해 정의된 본 발명의 사상 및 범위를 벗어나지 않고 이루어질 수 있다는 것을 이해할 수 있을

특2001-0102840

것이다.

전압 공급 회로

본 발명에 따르는 전압 공급 회로 및 액정 디스플레이 장치를 사용함으로써 전체 회로의 전력 소비를 줄이고 동시에 설계의 자유도를 확보할 수 있으며, 출력 전압을 용동성 있게 변경할 수 있다.

(b) 제1 실시예**전구형 1**

공급되는 전압을 미리 결정된 레벨의 전압으로 각각 출력하는 복수 개의 출력 단지를 갖는 전압 공급 회로에 있어서,

상기 복수 개의 출력 단지 사이에 접속된 트랜지스터와,

전원 회로로부터 각각에 입력된 전원에 의해 동작하고, 두 개의 입력 사이의 차이를 토대로 출력하는 복수 개의 차동 증폭기 회로를 포함하며,

상기 차동 증폭기 회로의 출력은 상기 트랜지스터에 입력되고,

상기 차동 증폭기 회로의 제1 입력 단지에 상기 출력 단지의 출력이 입력되며,

상기 차동 증폭기 회로의 제2 입력 단지에 기준 전압이 입력되고,

상기 트랜지스터의 게이트는 상기 차동 증폭기 회로의 출력에 의해 제어되며,

상기 트랜지스터의 게이트를 제어함으로써, 상기 출력 단지의 출력 전압을 제어하는 것은 전압 공급 회로.

전구형 2

제1항에 있어서, 상기 복수 개의 차동 증폭기 회로 중 적어도 하나에 가변 전위 입력이 접속되는 것은 전압 공급 회로.

전구형 3

제1항 내지 제2항 중 어느 한 항에 있어서, 상기 복수 개의 차동 증폭기 회로 각각은 하나의 연산 증폭기로 구성되는 것은 전압 공급 회로.

전구형 4

제1항에 있어서, 상기 출력 단지의 출력은 저항을 통하여 상기 차동 증폭기 회로에 입력되는 것은 전압 공급 회로.

전구형 5

제1항에 있어서, 상기 복수 개의 차동 증폭기 회로 중의 적어도 2개 이상의 차동 증폭기 회로에 동일 전위의 기준 전압이 입력되는 것은 전압 공급 회로.

전구형 6

드라이버 IC 내부의 제어 신호에 따라 화상 디스플레이를 실행하는 디스플레이 장치에 있어서,

상기 드라이버 IC 에 기준 전위를 공급하는 전압 공급 회로를 구비하고,

상기 전위 공급 회로는,

공급되는 전압을 미리 결정된 레벨의 전압으로 각각 출력하는 복수 개의 출력 단지외,

상기 복수 개의 각 출력 단지 사이에 접속된 트랜지스터와,

상기 트랜지스터에 그 출력이 각각 접속되고, 전원 회로로부터 각각에 입력되는 전원에 의해 동작하며, 두 입력의 차이를 토대로 출력을 실행하는 복수 개의 차동 증폭기 회로를 가지며,

상기 차동 증폭기 회로의 제1 입력 단지에 상기 출력 단지의 출력이 입력되고,

상기 차동 증폭기 회로의 제2 입력 단지에 기준 전압이 입력되며,

상기 트랜지스터의 게이트는 상기 차동 증폭기 회로의 출력에 의해 제어되고,

상기 트랜지스터의 게이트를 제어함으로써, 상기 출력 단지의 출력 전압을 제어하는 것은 디스플레이 장치.

전구형 7

제6항에 있어서, 상기 복수 개의 차동 증폭기 회로 중 적어도 하나의 차동 증폭기 회로에 가변 전위 입력이 접속되고, 상기 가변 전위 입력을 토대로 게조 곡선이 결정되는 것은 디스플레이 장치.

전구형 8

제6항 내지 제7항 중 어느 한 항에 있어서, 상기 복수 개의 차동 증폭기 회로 각각은 하나의 연산 증폭기로 구성되는 것은 디스플레이 장치.

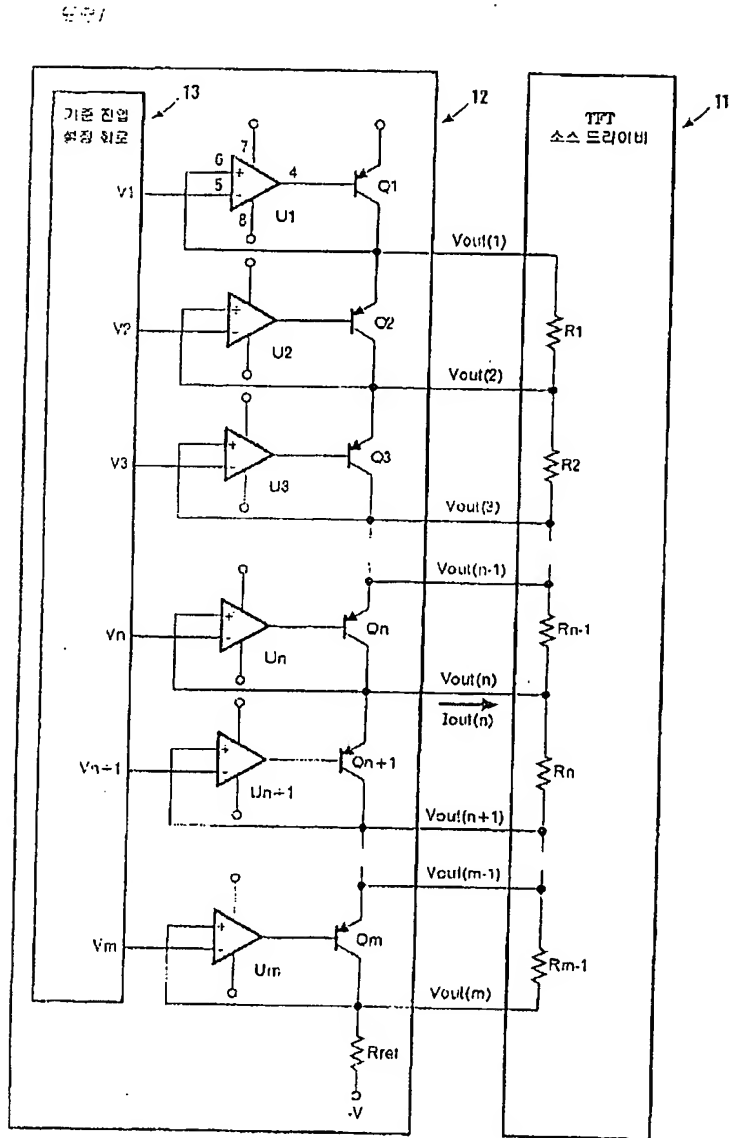
참고형 9

제6항에 있어서, 상기 드라이버 IC는 상기 전압 공급 회로로부터 공급되는 전압을 토대로 결정된 게조 폭 값을 토대로 게조 디스플레이를 실행하는 것인 디스플레이 장치.

참고형 10

제6항에 있어서, 상기 복수 개의 차동 증폭기 회로 중의 적어도 2개 이상의 차동 증폭기 회로에는 동일 전압의 기준 전압이 입력되는 것인 디스플레이 장치.

도 10



2

